

PAT-NO: JP406167622A  
DOCUMENT-IDENTIFIER: JP 06167622 A  
TITLE: CIRCUIT BOARD FOR OPTICAL ELEMENT  
AND ITS PRODUCTION  
PUBN-DATE: June 14, 1994

INVENTOR-INFORMATION:  
NAME  
TANAHASHI, SHIGEO

ASSIGNEE-INFORMATION:  
NAME  
KYOCERA CORP

COUNTRY  
N/A

APPL-NO: JP04320013  
APPL-DATE: November 30, 1992

INT-CL (IPC): G02B006/12, C03B008/02 , H01L027/14 ,  
H01L031/02 , H05K001/03

US-CL-CURRENT: 385/14

ABSTRACT:

PURPOSE: To provide electrical wiring layers in quartz glass layers.

CONSTITUTION: This circuit board 1 for an optical element on which the optical element 20 can be mounted has a silicon substrate 2 and the quartz glass layers 3. The quartz glass layers 3 are formed by a sol-gel method on the silicon substrate 2 and have mounting parts 14, 14 for mounting the optical element 20 and consist of the laminate of 4 layers of the first to fourth

quartz glass layers 5, 6, 7, 8. Optical waveguides 11 for receiving and transmitting signals from and to the optical element 20 and the electrical wiring layers are formed on the quartz glass layers 3. The electrical wiring layers are lines 9 consisting of conductive metals, second conductor layers 10 and internal wiring layers 12.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-167622

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 6/12	A	9018-2K		
C 0 3 B 8/02				
H 0 1 L 27/14				
		7210-4M	H 0 1 L 27/ 14	D
		7210-4M	31/ 02	B

審査請求 未請求 請求項の数2(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-320013

(22)出願日 平成4年(1992)11月30日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 棚橋 成夫

鹿児島県国分市山下町1-1 京セラ株式会社鹿児島国分工場内

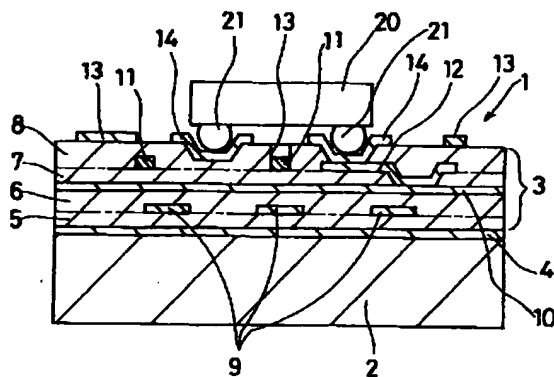
(74)代理人 弁理士 小野 由己男 (外1名)

(54)【発明の名称】 光素子用回路基板及びその製造方法

(57)【要約】

【目的】 石英ガラス層内に電気配線層を設ける。

【構成】 光素子20が搭載可能な光素子用回路基板1は、シリコン基板2と石英ガラス層3とを備えている。石英ガラス層3は、シリコン基板2上にゾルゲル法により形成されかつ光素子を搭載するための搭載部14、14を備えており、第1から第4の4層の石英ガラス層5、6、7、8の積層体からなる。石英ガラス層3内には、光素子20と信号の授受を行うための光導波路11と電気配線層とが形成されている。電気配線層は、導電性金属からなる線路9、第2導体層10及び内部配線層12である。



## 【特許請求の範囲】

【請求項1】光素子が搭載可能な光素子用回路基板であって、

シリコン基板と、

前記シリコン基板上にゾルゲル法により形成された、前記光素子を搭載するための石英ガラス層と、

前記石英ガラス層内に形成された、前記光素子と信号の授受を行うための光導波路と、

前記石英ガラス層内に形成された、導電性金属からなる電気配線層と、を備えた光素子用回路基板。

【請求項2】光素子が搭載可能な光素子用回路基板の製造方法であって、

シリコン基板上にゾルゲル法により石英ガラス層を多層に形成する工程と、

前記工程と並行して、前記光素子と信号の授受を行うための光導波路と、導電性金属からなる電気配線層とを前記石英ガラス層間に形成する工程と、を含む光素子用回路基板の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、回路基板及びその製造方法、特に、光素子が搭載可能な光素子用回路基板及びその製造方法に関する。

【0002】

【従来の技術】光素子を搭載するための一般的な光素子用回路基板は、シリコン基板と、シリコン基板上に形成されかつ光素子を搭載するための石英ガラス層と、石英ガラス層内に形成されかつ光素子と信号の授受を行うための光導波路と、石英ガラス層の表面に形成されかつ導電性金属からなる電気配線層とから主に構成されている。

【0003】この種の光素子用回路基板を製造する場合は、火炎加水分解堆積法によりシリコン基板上に石英ガラス層を多層に形成する。また、このような石英ガラス層の形成工程と並行して、石英ガラス層間に光導波路を形成する。光導波路は、石英ガラス層上に、たとえば酸化ゲルマニウム ( $\text{GeO}_2$ ) をドーパした石英ガラス層を形成し、この石英ガラス層を所定のパターンにエッチングすると形成できる。電気配線層は、光導波路を含みかつ多層に形成された石英ガラス層上に導電性金属からなる薄膜をスパッタリング法等により形成し、この薄膜を所定のパターンにエッチングすると形成できる。

【0004】

【発明が解決しようとする課題】前記従来の光素子用回路基板は、石英ガラス層の表面にのみ電気配線層を有しているため、電気配線層の高密度化が困難である。このように従来の光素子用回路基板が石英ガラス層内に電気配線層を含まないのは、火炎加水分解堆積法により石英ガラス層を形成する場合に約600℃以上の熱処理が必要になるため、石英ガラス層間に電気配線層を形成しよ

うとしても、その電気配線層は上述の熱処理時に酸化されてしまうので、石英ガラス層内に電気配線層を形成することができないためである。

【0005】したがって、従来の光素子用回路基板は、たとえば石英ガラス層にマイクロストリップ線路を構成することができないので、電気配線層にマイクロ波等の高周波信号を伝送することができない。本発明の目的は、石英ガラス層内に電気配線層を設けることにある。

【0006】

10 【課題を解決するための手段】第1の発明に係る光素子用回路基板は、光素子が搭載可能な回路基板である。この回路基板は、シリコン基板と、シリコン基板上にゾルゲル法により形成されかつ光素子を搭載するための石英ガラス層と、石英ガラス層内に形成されかつ光素子と信号の授受を行うための光導波路と、石英ガラス層内に形成されかつ導電性金属からなる電気配線層とを備えている。

【0007】第2の発明に係る、回路基板の製造方法は、光素子が搭載可能な光素子用回路基板の製造方法である。この方法は、次の工程を含んでいる。

20 ◎ シリコン基板上にゾルゲル法により石英ガラス層を多層に形成する工程。

◎ 石英ガラス層を多層に形成する工程と並行して、光素子と信号の授受を行うための光導波路と、導電性金属からなる電気配線層とを石英ガラス層間に形成する工程。

【0008】

【作用】第1の発明に係る光素子用回路基板では、石英ガラス層が高温による熱処理を必要としないゾルゲル法により形成されているため、石英ガラス層内にも電気配線層を有している。このため、このような回路基板では、たとえば石英ガラス層において電気配線層を高密度化できる。

【0009】第2の発明に係る光素子用回路基板の製造方法では、石英ガラス層をゾルゲル法により多層に形成しているため、石英ガラス層の形成工程において、火炎加水分解堆積法のような高温熱処理が不要になる。このため、電気配線層を構成する導電性金属は、石英ガラス層の形成過程において酸化しにくいので、石英ガラス層間には光導波路とともに電気配線層を形成することができる。この結果、本発明によれば、石英ガラス層内に電気配線層を備えた光素子用回路基板が製造できる。

【0010】

【実施例】図1に、本発明の一実施例に係る光素子用回路基板を示す。図において、光素子用回路基板1は、シリコン基板2と、シリコン基板2上に形成された石英ガラス層3とから主に構成されている。シリコン基板2は、板状の部材であり、図上面に第1導体層4を有している。第1導体層4は、たとえばアルミニウムや銅等の金属性である。

【0011】石英ガラス層3は、シリコン基板2側から順に第1石英ガラス層5、第2石英ガラス層6、第3石英ガラス層7及び第4石英ガラス層8がこの順に積層されて一体化された積層体であり、各石英ガラス層5、6、7、8は後述するゾルゲル法により形成されている。第1石英ガラス層5と第2石英ガラス層6との間には、図の紙面と直交する方向に互いに平行に延びる3本の線路9が設けられている。また、第2石英ガラス層6と第3石英ガラス層7との間には、第2導体層10が形成されている。線路9及び第2導体層10は、いずれも銅やアルミニウム等の導電性材料からなり、第1導体層4とともにストリップ線路を構成している。

【0012】また、第3石英ガラス層7と第4石英ガラス層8との間には、一連の光導波路11と、内部配線層12とが設けられている。光導波路11の一部は、第4石英ガラス層8に設けられた信号孔13により露出している。この信号孔13は、図示しないマイクロプリズムを備えており、光導波路11と後述する光素子との間で光信号の授受を可能にしている。なお、光導波路11は、石英ガラスに酸化ゲルマニウムや酸化チタンがドーピングされた石英ガラスからなる。内部配線層12は、第3石英ガラス層7と第4石英ガラス層8との間に所定のパターン形状に形成されており、一部が第2導体層10に接続している。この内部配線層12も銅やアルミニウム等の導電性金属からなる。

【0013】第4石英ガラス層8の図上面には、所定のパターン形状に設けられた表面配線層13と、搭載部14とが設けられている。搭載部14は、第4石英ガラス層8の図上面中央部に信号孔13を挟むように設けられており、表面配線層13に一部が接続している。また、搭載部14は、光素子20を安定に搭載することができるよう第4石英ガラス層8内に若干窪んでいる。

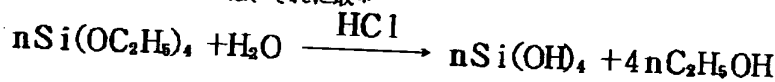
【0014】上述の光素子用回路基板1の搭載部14には、光素子20が搭載される。光素子20は、それに取\*

\*り付けられたはんだバンパ21により搭載部14に固定されている。このような光素子用回路基板1は、表面配線層13に加えて石英ガラス層3内にも内部配線層12を有しているため、従来の光素子用回路基板に比べて電気配線層を高密度化できる。また、石英ガラス層3内にストリップ線路が形成されているため、マイクロ波等の高周波信号を伝送できる。さらに、石英ガラス層3は、誘電率が小さいので、内部配線層12等では信号の伝搬遅延が小さい。また、誘電正接 ( $\tan \delta$ ) が小さいため、ストリップ線路ではマイクロ波の損失が小さい。

【0015】次に、前記光素子用回路基板1の製造方法について説明する。まず、図2に示すように、シリコン基板2を用意する。このシリコン基板2の図上面には、図3に示すように、第1導体層4を形成する。第1導体層4は、スパッタリング法等の薄膜法により形成できる。次に、図4に示すように、第1導体層4上に第1石英ガラス層5を形成する。第1石英ガラス層5は、ゾルゲル法により形成する。ゾルゲル法とは、金属の有機化合物や無機化合物の溶液（ゾル）を化合物間の加水分解や重縮合反応によりゲル化させ、このゲルを加熱することにより酸化物の固体を得る方法をいう。このようなゾルゲル法により第1石英ガラス層5を形成する場合は、 $\text{Si}(\text{OC}_2\text{H}_5)_4$  280gと、水 ( $\text{H}_2\text{O}$ ) 1440mlと、エタノール ( $\text{C}_2\text{H}_5\text{OH}$ ) 79mlと、塩酸 ( $\text{HCl}$ ) 0.3mlとを含むペーストを、ペースト粘度2.0cps、1000rpm/10秒の条件のスピンコート法により第1導体層4上に均一に塗布する。そして、これを約300℃で加熱処理すると、第1導体層4上に第1石英ガラス層5が形成される。上述のペーストからの石英ガラスの形成過程は次の反応式で示される。

【0016】

【化1】



または、



次に、図5に示すように、第1石英ガラス層5上に薄膜法を用いてアルミニウム等の金属薄膜層22を形成する。続いて、この金属薄膜層22をフォトリソグラフ法を採用して図6に示すようにエッチングする。これにより、第1石英ガラス層5上には線路9が形成される。 ※50

※【0017】次に、図7に示すように、線路9が形成された第1石英ガラス層5上に上述のゾルゲル法を採用して第2石英ガラス層6を形成し、その第2石英ガラス層6上にさらに薄膜法により第2導体層10を形成する。また、第2導体層10上には、図8に示すように、同様

のゾルゲル法により第3石英ガラス層7を形成する。次に、図9に示すように、第3石英ガラス層7の所定部位にスルーホール23を設ける。このスルーホール23は、内部配線層12を形成するためのものであり、たとえばポジレジストを用いて第3石英ガラス層7にリアクティブイオンエッチングを施すと形成できる。

【0018】このようにスルーホール23が形成された第3石英ガラス層7には、図10に示すように、スルーホール23の近傍及びスルーホール23の側面及び底面に薄膜法により内部配線層12を形成する。内部配線層12の形成後、図11に示すように、第3石英ガラス層7上に酸化ゲルマニウムや酸化チタンがドーピングされた石英ガラス層24を形成する。このような石英ガラス層24は、上述のゾルゲル法において、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ の一部を $\text{Ge}(\text{OC}_2\text{H}_5)_4$ や $\text{Ti}(\text{OC}_2\text{H}_5)_4$ に置き換えると形成できる。

【0019】次に、石英ガラス層24に対して所定のパターン形状にリアクティブイオンエッチング処理を施す。これにより、図12に示すように、第3石英ガラス層7上に光導波路11が形成される。次に、図13に示すように、光導波路11が形成された第3石英ガラス層7上に上述のゾルゲル法により第4石英ガラス層8を形成する。そして、図14に示すように、第4石英ガラス層8の所定部位に、搭載部14を形成するための凹部25及び信号孔13をリアクティブイオンエッチング法により形成する。そして第4石英ガラス層8に対して薄膜法及びエッチング法を採用することにより、図15に示すように、表面配線層13及び搭載部14を形成する。これにより、光素子用回路基板1が得られる。

【0020】上述のような光素子用回路基板1の製造工程では、石英ガラス層3をゾルゲル法により形成しているため、火炎加水分解堆積法により石英ガラス層を形成する場合のような高温処理が必要でない。したがって、石英ガラス層3の形成工程において、第1導体層4、線路9、第2導体層10及び内部配線層12が酸化されないため、石英ガラス層3内にこれらの電気配線層を形成することができる。

#### 【0021】

【発明の効果】第1及び第2の発明によれば、石英ガラス層をゾルゲル法によりシリコン基板上に形成しているため、石英ガラス層内に導電性金属からなる電気配線層を含む光素子用回路基板が提供できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係る光素子用回路基板の縦断面図。

【図2】前記光素子用回路基板を製造するための一工程の縦断面図。

【図3】さらに他の工程の縦断面図。

【図4】さらに他の工程の縦断面図。

【図5】さらに他の工程の縦断面図。

【図6】さらに他の工程の縦断面図。

【図7】さらに他の工程の縦断面図。

【図8】さらに他の工程の縦断面図。

【図9】さらに他の工程の縦断面図。

【図10】さらに他の工程の縦断面図。

【図11】さらに他の工程の縦断面図。

【図12】さらに他の工程の縦断面図。

【図13】さらに他の工程の縦断面図。

【図14】さらに他の工程の縦断面図。

【図15】さらに他の工程の縦断面図。

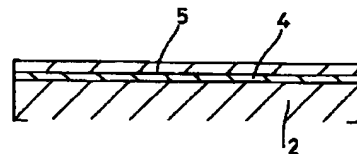
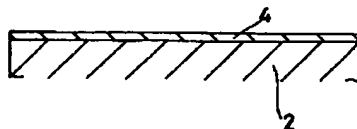
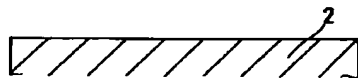
#### 【符号の説明】

- 1 光素子用回路基板
- 2 シリコン基板
- 3 石英ガラス層
- 4 第1導体層
- 5 第1石英ガラス層
- 6 第2石英ガラス層
- 7 第3石英ガラス層
- 8 第4石英ガラス層
- 9 線路
- 10 第2導体層
- 11 光導波路
- 12 内部配線層
- 20 光素子

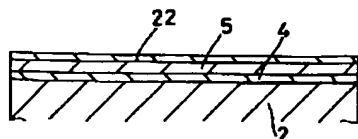
【図2】

【図3】

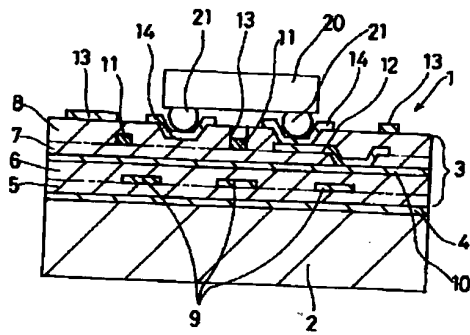
【図4】



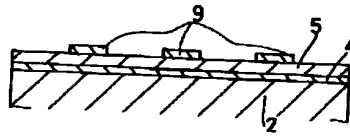
【図5】



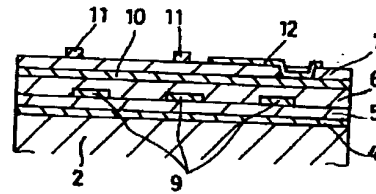
【図1】



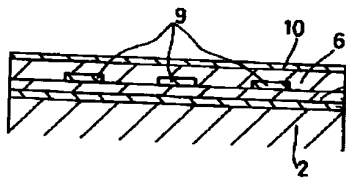
【図6】



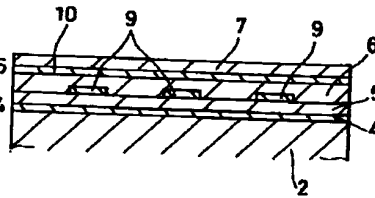
【図12】



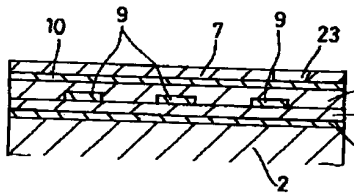
【図7】



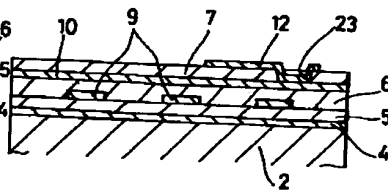
【図8】



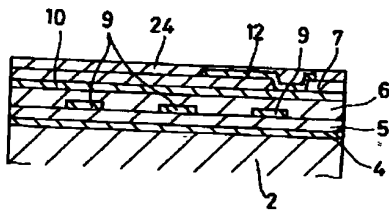
【図9】



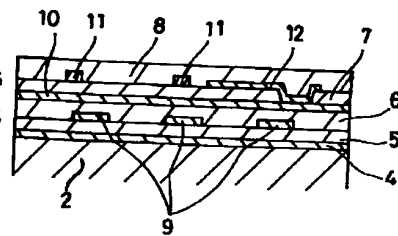
【図10】



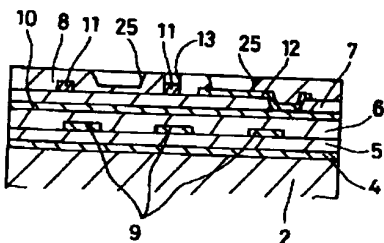
【図11】



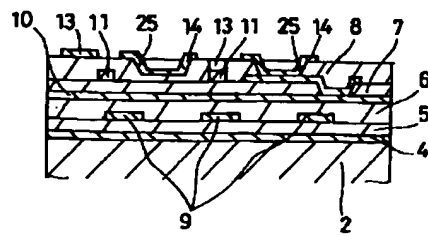
【図13】



【図14】



【図15】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01L 31/02

H05K 1/03

識別記号

片内整理番号

F I

技術表示箇所

B 7011-4E